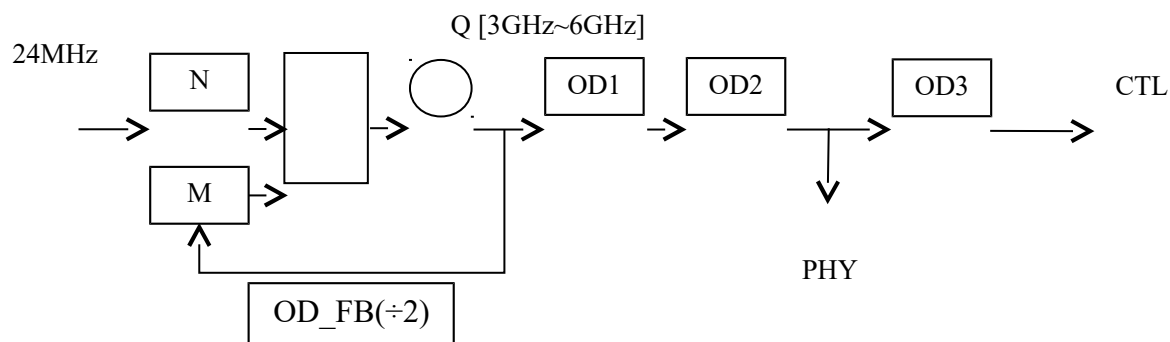


# HDMI CLOCK



说明：24MHz 的时钟进入 HDMI，先到达 N，再经过 VCO，倍频至一个合适的高频 Q 点，一般范围在 3GHz~6GHz。再经过 OD1 和 OD2 分频，到达 PHY，再经过 OD3 分频到达控制层。

## P\_HHI\_HDMI\_PLL\_CNTL:

Bit[8:0] 配置 M 的整数部分

Bit[13:9] 配置 N(一般情况下为 1)

$$\frac{N}{M} = \frac{24 \text{ MHz}}{Q}$$

两者关系为：

## P\_HHI\_HDMI\_PLL\_CNTL1:

Bit[17:16] 配置 OD1

Bit[23:22] 配置 OD2

Bit[19:18] 配置 OD3

Bit[9: 0] 配置 M 的小数部分（小数乘以 2 的 10 次方）

## P\_HHI\_HDMI\_PLL\_CNTL2:

Bit[30]配置 OD\_FB

M 不能过大，当 M 过大，则 OD\_FB 就开启

**P\_HHI\_HDMI\_PLL\_CNTL2: 0x860f30c4** (bit30 不同)

**P\_HHI\_HDMI\_PLL\_CNTL3: 0x0c8e0000**

**P\_HHI\_HDMI\_PLL\_CNTL4: 0x001fa729**

**P\_HHI\_HDMI\_PLL\_CNTL5: 0x01a31500**

后面四个寄存器，值几乎一致

对于自适应模式，当某一个特殊频率对应有小数模式（例如 60Hz，则有对应的 59.94Hz），Frac\_rate 标志位置 1。此时 N=1.0001，同样算得 M 值，填入相应的寄存器

Example:

case 5940000:

```
hd_write_reg(P_HHI_HDMI_PLL_CNTL, 0x4000027b);
if (frac_rate)
    hd_write_reg(P_HHI_HDMI_PLL_CNTL1, 0x800cb281);
else
    hd_write_reg(P_HHI_HDMI_PLL_CNTL1, 0x800cb300);
hd_write_reg(P_HHI_HDMI_PLL_CNTL2, 0xc60f30e0);
hd_write_reg(P_HHI_HDMI_PLL_CNTL3, 0x0c8e0000);
hd_write_reg(P_HHI_HDMI_PLL_CNTL4, 0x001fa729);
hd_write_reg(P_HHI_HDMI_PLL_CNTL5, 0x01a31500);
hd_set_reg_bits(P_HHI_HDMI_PLL_CNTL, 0x1, 28, 1);
hd_set_reg_bits(P_HHI_HDMI_PLL_CNTL, 0x0, 28, 1);
WAIT_FOR_PLL_LOCKED(P_HHI_HDMI_PLL_CNTL);
```

算得 M 等于 247.5，此时 M 较大，所以  $\frac{1}{M} = \frac{24\text{ MHz}}{5940\text{ MHz}}$   
 OD\_FB 开启，M 值变为  $\frac{247.5}{2} = 123.75$

则整数部分为 123（0x7b），小数  $0.75 \times 2^{10} = 768 = 0x300$   
 部分为

Frac\_rate 同样计算